中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下 ：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder :

申　　請　　日 ： 西元 2002 年 12 月 30 日
Application Date

申　請　案　號 ： 091137929
Application No.

申　　請　　人 ： 日月光半導體製造股份有限公司
Applicant(s)

局　　長
Director General

蔡練生

發文日期： 西元 2003 年 9 月 12 日
Issue Date

發文字號： 09220884050
Serial No.

申請日期：	IPC分類
申請案號：	

（以上各欄由本局填註）

發明專利說明書

一、發明名稱	中 文	加強散熱型多晶片封裝構造
	英 文	THERMAL ENHANCE MCM PACKAGE
二、發明人（共3人）	姓 名（中文）	1. 陶恕 2. 林千琪 3. 張志煌
	姓 名（英文）	1. Tao, Su 2. Lin, Chian-Chi 3. Chang, Chih-Huang
	國 籍（中英文）	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所（中 文）	1. 高雄市左營區崇實新村72之2號 2. 台南市裕興街238號 3. 台南縣永康市西勢路158巷11號
	住居所（英 文）	1. No. 72-2, Chungshshintsun, Tzuoying Chiu, Kaohsiung, Taiwan 813, R.O.C. 2. No. 238, Yushing St., Tainan, Taiwan, R.O.C. 3. No. 11, Lane 158, Shish Rd., Yungkang City, Tainan, Taiwan 710, R.O.C.
三、申請人（共1人）	名稱或姓 名（中文）	1. 日月光半導體製造股份有限公司 R.O.C.
	名稱或姓 名（英文）	1. Advanced Semiconductor Engineering, Inc.
	國 籍（中英文）	1. 中華民國 TW
	住居所（營業所）（中 文）	1. 高雄市楠梓加工區經三路26號 （本地址與前向貴局申請者相同）
	住居所（營業所）（英 文）	1. 26 Chin 3rd Rd., Nantze Export Processing Zone Kaoshiung, Taiwan, R.O.C.
	代表人（中文）	1. 張虔生
	代表人（英文）	1. Chang, Jason

四、中文發明摘要　（發明名稱：加強散熱型多晶片封裝構造）

一種加強散熱型多晶片封裝構造主要包括一第一晶片、一第二晶片、一基板及一散熱元件。該第一晶片及第二晶片係以覆晶方式與基板電性導通，而散熱元件係藉導熱膠與基板連接。由於散熱元件與基板接合並暴露於外界，可使第一晶片及第二晶片產出而傳至基板之熱量，能加速傳遞熱量至散熱元件以向外界傳送，如此可避免熱量經由基板再傳遞至母板，而造成母板接收過多之熱量而降低其使用壽命。

伍、（一）、本案代表圖為：圖1A

（二）、本案代表圖之元件代表符號簡單說明：

1　基板

12　基板上表面

128　孔洞

129　電路層

陸、英文發明摘要　（發明名稱：THERMAL ENHANCE MCM PACKAGE）

A thermal-enhance MCMs package mainly comprises a first die, a second die, a substrate, and a heat spreader. The first die and the second die are electrically connected with the substrate simultaneously in a flip-chip manner and the heat spreader is connected with the substrate via the thermal epoxy. Because the heat spreader connects the substrate and exposes to outside, the heat can

四、中文發明摘要　（發明名稱：加強散熱型多晶片封裝構造）

14　基板下表面
2　第一晶片
22　第一晶片主動面
24　第一晶片背面
3　第二晶片
32　第二晶片主動面
34　第二晶片背面
4　散熱元件
42　第一晶片接合部
44　第二晶片接合部
46　基板接合部
48　連接部
5　凸塊
6　底膠
7　導熱膠

陸、英文發明摘要　（發明名稱：THERMAL ENHANCE MCM PACKAGE）

be transmitted to outside more quickly in order to prevent the excessive heat from being transmitted to mother-board and reducing the use life.



四、中文發明摘要　（發明名稱：加強散熱型多晶片封裝構造）

8　　銲 球

陸、英文發明摘要　（發明名稱：THERMAL ENHANCE MCM PACKAGE）

一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權:

申請案號:

日期:

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期:

四、☐有關微生物已寄存於國外:

寄存國家:

寄存機構:

寄存日期:

寄存號碼:

☐有關微生物已寄存於國內(本局所指定之寄存機構):

寄存機構:

寄存日期:

寄存號碼:

☐熟習該項技術者易於獲得,不須寄存。

五、發明說明 (1)

（一）、【發明所屬之技術領域】

本發明係有關於一種半導體封裝構造，且特別是有關於一種降低晶片熱量傳遞至母板之加強散熱型多晶片封裝構造。

（二）、【先前技術】

在現今由於電子產品越來越輕薄短小，使得用以保護半導體晶片以及提供外部電路連接的封裝構造也同樣需要輕薄短小化。

隨著微小化以及高運作速度需求的增加，多晶片封裝構造(multi-chips-module; MCM)在許多電子裝置越來越吸引人。多晶片封裝構造可藉由將兩個或兩個以上之晶片（例如處理器(processor)、記憶體(memory)以及相關的邏輯單位(logic)）組合在單一封裝構造中，來使系統運作速度之限制最小化。此外，多晶片封裝構造可減少晶片間銲線路之長度而降低訊號延遲以及存取時間。

最常見的多晶片封裝構造分別為並排式(side-by-side)多晶片封裝構造及堆疊式(stacked)多晶片封裝構造。並排式多晶片封裝構造係將兩個以上之晶片彼此並排地安裝於一共同基板之主要安裝面。晶片與共同基板上導電線路間之連接一般係藉由打線接合之方式(wire bonding)或覆晶接合方式(flip-chip bonding)達成。而多晶片堆疊裝置(multichip stacked device)則是將兩個以上之晶片依序堆疊在一基板上，再分別以導電線或導電

凸塊(conductive bump)電性連結於該基板。

然而，當多晶片構造中包含一個具有高密度、高頻之數位電路之晶片時，由於其在運作中會產生高熱，故熱量通常會傳遞至基板上，然而由於基板上係覆蓋銲罩層以保護其內部線路，故其與外界間之散熱性能不佳，如此易使熱量傳遞至母板，而影響其他於母板上之電子元件之作動。

有鑑於此，需要一種加強散熱型多晶片封裝構造用以克服或至少改善前述先前技術中的難題，實為一重要的課題。

（三）、【發明概要】

有鑑於上述課題，本發明之目的係提供一種加強散熱型多晶片封裝構造，且特別是有關於一種降低晶片熱量傳遞至母板之半導體封裝構造。

為達成本發明之上述目的，特提出一種加強散熱型多晶片封裝構造，其至少包含一第一晶片、一第二晶片、一基板及一散熱元件。該第一晶片及第二晶片係以覆晶方式藉凸塊與基板連接或以打線接合方式藉導電線與基板電性導通；散熱元件係可藉導熱膠與第一晶片、第二晶片及基板同時連接。由於散熱元件與基板間之熱傳導係藉由接觸傳遞，且散熱元件與外界(空氣)之散熱效果遠比基板與外界(空氣)之散熱效果佳，故部份由晶片產生之熱量能藉由散熱元件導出至外界，而不經由基板傳遞至母板，故母板

較不易累積大量熱能，也不會因此而影響其他於母板上之電子元件之作動。

（四）、【實施方式】

以下將參照相關圖式，說明依本發明較佳實施例之加強散熱型多晶片封裝構造。

如圖1A及1B所示，本發明第一較佳實施例之加強散熱型多晶片封裝構造主要包括一基板1、第一晶片2、第二晶片3及一散熱元件4。基板1具有一上表面12及一相對於上表面12之下表面14。該基板1之上表面12係具有第一晶片設置區122、第二晶片設置區124及散熱元件設置區126；下表面14具有複數個銲球8，用以與母板（未標示於圖中）電性連接。該第一晶片2及第二晶片3係以覆晶方式分別設置於第一晶片設置區122及第二晶片設置區124上，並藉凸塊5以使基板1與第一晶片2之主動面22及第二晶片主動面32電性連接。散熱元件4係由第一晶片接合部42、第二晶片接合部44、基板接合部46及連接部48所組成；而第一晶片接合部42、第二晶片接合部44及基板接合部46係藉由連接部48而連結。其中，散熱元件4之第一晶片接合部42、第二晶片接合部44及基板接合部46係藉導熱膠7分別與第一晶片背面24、第二晶片背面34連接及散熱元件設置區126連接。

此外，該散熱元件設置區126形成有複數個孔洞128（可為一貫孔或一盲孔），且其中填充有導熱膠，用以連接

基板1之電路層129，使基板1之熱量能經散熱元件4之基板接合部46向外界傳遞。又，該孔洞128可形成一導電層(如鎳金層或銅層)於其壁面，以使散熱元件4能與基板1之接地電路層(未標示於圖中)電性連接，除可使基板1之熱量能經散熱元件4之基板接合部46向外界傳遞，更可提供第一晶片2或第二晶片3一較佳之屏蔽(shielding)。

再者，可於第一晶片主動面22或第二晶片主動表面32與基板1間填充底膠6，以降低基板1與第一或第二晶片間之熱應力問題。此外，更可以一封膠體(未標示於圖中)至少覆蓋第一晶片2、第二晶片3及一散熱元件4並至少暴露出該散熱元件之基板接合部46，以提供晶片熱量一較佳之散熱介面，減少傳遞熱量至母板。

接著，請參照圖2，為本發明第二較佳實施例。與第一較佳實施例不同的是，該散熱元件4之第一晶片接合部42係具有複數個第一開口422以暴露出第一晶片2主動面22之該等第一銲墊25，而第二晶片接合部44係具有複數個第二開口442以暴露出第二晶片3主動面32之該等第二銲墊35。該第一晶片2及第二晶片3係以打線方式(wire bonding)分別設置於第一晶片設置區122及第二晶片設置區124上，並藉導電線9(如金線)以使基板1與第一晶片2之主動面22及第二晶片3之主動面32電性連接。其中，該等導電線9係經由該等第一開口422及該等第二開口442穿設之以連接第一銲墊25與第一晶片設置區122及第二銲墊35與第二晶片設置區124。

又，形成一封膠體10以至少覆蓋第一晶片2、第二晶片3、該基板1、該等導電線9及該散熱元件4之第一晶片接合部42與第二晶片接合部44。惟，該散熱元件4之基板接合部46係至少暴露出該封膠體10以提供晶片熱量一較佳之散熱介面，減少傳遞熱量至母板。

承上述，請參照圖3，如本發明第三較佳實施例所示，第一晶片2及第二晶片3以打線方式(wire bonding)設置於基板1上時，該散熱元件4之第一晶片接合部42及第二晶片接合部44分別與第一晶片2及第二晶片3間設置一虛晶片11(dummy die)，且該散熱元件4之上表面係暴露出該封膠體10，以提供較佳之散熱能力。

另外，請參照圖4，如本發明第四較佳實施例所示，第一晶片2及第二晶片3以打線方式(wire bonding)設置於基板1上時，該散熱元件4之第一晶片接合部42及第二晶片接合部44分別與第一晶片2及第二晶片3間設置一導熱銲球或導熱凸塊4'，且該散熱元件4之上表面係暴露出該封膠體10，以提供較佳之散熱能力。

最後，請參照圖5，如本發明第三較佳實施例所示，第一晶片2及第二晶片3以打線方式(wire bonding)設置於基板1上時，該散熱元件4之第一晶片接合部42及第二晶片接合部44分別具有一第一突出部424及第二突出部444，以暴露出該封膠體10，以提供較佳之散熱能力。需說明的是，圖2、3、4及5中各元件之參考符號係與圖1中之各元件之參考符號相對應。

五、發明說明 (6)

以上所述僅為舉例性，而非為限制性者。任何未脫離本發明之精神與範疇，而對其進行之等效修改或變更，均應包含於後附之申請專利範圍中。

（五）、【圖式之簡單說明】

圖1A為一示意圖，顯示本發明第一較佳實施例之加強散熱型多晶片封裝構造。

圖1B為第一較佳實施例中基板構造之平面示意圖。

圖2為一示意圖，顯示本發明第二較佳實施例之加強散熱型多晶片封裝構造。

圖3為一示意圖，顯示本發明第三較佳實施例之加強散熱型多晶片封裝構造。

圖4為一散熱片剖面示意圖，顯示本發明第四較佳實施例中之散熱片構造。

圖5為一散熱片剖面示意圖，顯示本發明第五較佳實施例中之散熱片構造。

元件符號說明：

1　基板

12　基板上表面

122　第一晶片設置區

124　第二晶片設置區

126　散熱元件設置區

128　孔洞

129　電路層

14　基板下表面

142　銲球銲墊

2　第一晶片

圖式簡單說明

22	第一晶片主動面
24	第一晶片背面
25	第一銲墊
3	第二晶片
32	第二晶片主動面
34	第二晶片背面
35	第二銲墊
4	散熱元件
4'	導熱凸塊(導熱銲球)
42	第一晶片接合部
422	第一開口
424	第一凸出部
44	第二晶片接合部
442	第二開口
444	第二凸出部
46	基板接合部
48	連接部
5	凸塊
6	底膠
7	導熱膠
8	銲球
9	導電線
10	封膠體
11	虛晶片

六、申請專利範圍

1. 一種加強散熱型多晶片封裝構造，其包含：

一第一晶片；

一第二晶片；

一基板，具有一上表面，該上表面具有一第一晶片設置區、一第二晶片設置區及一散熱元件設置區，該第一晶片係以覆晶接合的方式設於該基板之第一晶片設置區，該第二晶片係以覆晶接合的方式設於該基板之第二晶片設置區；以及

一散熱元件，設於該基板之散熱元件設置區並覆蓋該第一晶片及該第二晶片。

2. 如申請專利範圍第1項所述之加強散熱型多晶片封裝構造，其中該散熱元件係由一第一晶片接合部、一第二晶片接合部、一基板接合部及一連接部組成，該連接部係用以連接該第一晶片接合部、該第二晶片接合部及該基板接合部，該第一晶片接合部係與該第一晶片相連接，該第二晶片接合部係與該第二晶片相連接，該基板接合部係與該基板之散熱元件設置區相連接。

3. 如申請專利範圍第1項所述之加強散熱型多晶片封裝構造，其中該散熱元件係藉導熱膠與該基板之散熱元件設置區相連接。

4. 如申請專利範圍第3項所述之加強散熱型多晶片封裝構

六、申請專利範圍

造，其中該基板更包含至少一電路層且該散熱元件設置區更具有至少一孔洞，該孔洞係填充導熱膠且與基板之電路層相連接。

5. 如申請專利範圍第2項所述之加強散熱型多晶片封裝構造，其中該基板更包含至少一接地電路層且該散熱元件設置區更具有至少一孔洞，該孔洞之孔壁係形成有一導電層，該導電層係用以電性連接基板之接地電路層與該散熱元件。

6. 如申請專利範圍第5項所述之加強散熱型多晶片封裝構造，其中該導電層係為一銅金屬層。

7. 如申請專利範圍第1項所述之加強散熱型多晶片封裝構造，其中該第一晶片與該第二晶片係藉一凸塊分別與該基板之第一晶片設置區及第二晶片設置區連接以使其與該基板電性連接。

8. 如申請專利範圍第7項所述之加強散熱型多晶片封裝構造，其中該第一晶片與該第一晶片設置區之間係填充一底膠。

9. 如申請專利範圍第7項所述之加強散熱型多晶片封裝構造，其中該第二晶片與該第二晶片設置區之間係填充一底

膠。

10. 如申請專利範圍第1項所述之加強散熱型多晶片封裝構造，其中該散熱元件係由銅所組成。

11. 如申請專利範圍第1項所述之加強散熱型多晶片封裝構造，其中該基板更具有一下表面，該下表面更形成有複數個銲球。

12. 一種加強散熱型多晶片封裝構造，其包含：

一第一晶片；

一第二晶片；

一基板，具有一上表面，該上表面具有一第一晶片設置區、一第二晶片設置區及一散熱元件設置區，該第一晶片係以打線接合的方式設於該基板之第一晶片設置區，該第二晶片係以打線接合的方式設於該基板之第二晶片設置區；以及

一散熱元件，設於該基板之上散熱元件設置區並覆蓋該第一晶片及該第二晶片。

13. 如申請專利範圍第12項所述之加強散熱型多晶片封裝構造，其中該第一晶片與該第二晶片係分別具有第一主動面與第二主動面，該第一主動面係具有複數個第一銲墊，該第二主動面係具有複數個第二銲墊，該第一銲墊與該第

二銲墊係藉一導電線分別與該基板之第一晶片設置區及第二晶片設置區連接以與該基板電性導接。

14. 如申請專利範圍第13項所述之加強散熱型多晶片封裝構造，其中該散熱元件係由一第一晶片接合部、一第二晶片接合部、一基板接合部及一連接部組成，該連接部係用以連接該第一晶片接合部、該第二晶片接合部及該基板接合部，該第一晶片接合部係具有複數個第一開口以暴露出該等第一銲墊且與該第一晶片相連接，該第二晶片接合部係具有複數個第二開口以暴露出該等第二銲墊且與該第二晶片相連接，該基板接合部係與該基板之散熱元件設置區相連接，該等導電線係經由該等第一開口及該等第二開口穿設之以連接第一銲墊與第一晶片設置區及第二銲墊與第二晶片設置區。

15. 如申請專利範圍第14項所述之加強散熱型多晶片封裝構造，更包含一封膠體，該封膠體係覆蓋該第一晶片、該第二晶片、該基板、該等導電線及該散熱元件之第一晶片接合部與第二晶片接合部。

16. 如申請專利範圍第15項所述之加強散熱型多晶片封裝構造，其中該散熱元件之基板接合部係暴露出該封裝膠體。

六、申請專利範圍

17. 如申請專利範圍第16項所述之加強散熱型多晶片封裝構造，其中該散熱元件之連接部係暴露出該封裝膠體。

18. 如申請專利範圍第14項所述之加強散熱型多晶片封裝構造，其中該散熱元件之第一晶片接合部更具有一第一凸出部以暴露出該封膠體。

19. 如申請專利範圍第14項所述之加強散熱型多晶片封裝構造，其中該散熱元件之第二晶片接合部更具有一第二凸出部以暴露出該封膠體。

20. 如申請專利範圍第12項所述之加強散熱型多晶片封裝構造，其中該散熱元件係由銅所組成。

21. 如申請專利範圍第12項所述之加強散熱型多晶片封裝構造，其中該基板更具有一下表面，該下表面更形成有複數個銲球。

22. 如申請專利範圍第12項所述之加強散熱型多晶片封裝構造，其中該散熱元件係藉導熱膠與該基板之散熱元件設置區相連接。

23. 如申請專利範圍第22項所述之加強散熱型多晶片封裝構造，其中該基板之散熱元件設置區具有複數個孔洞，該

孔洞係填充導熱膠。

24. 如申請專利範圍第13項所述之加強散熱型多晶片封裝構造，其中該基板更包含至少一接地電路層且該散熱元件設置區更具有至少一孔洞，該孔洞之孔壁係形成有一導電層，該導電層係用以電性連接基板之接地電路層與該散熱元件。

25. 如申請專利範圍第24項所述之加強散熱型多晶片封裝構造，其中該導電層係為一銅金屬層。

26. 如申請專利範圍第13項所述之加強散熱型多晶片封裝構造，其中該散熱元件係由一第一晶片接合部、一第二晶片接合部、一基板接合部及一連接部組成，該連接部係用以連接該第一晶片接合部、該第二晶片接合部及該基板接合部，該第一晶片接合部及該第二晶片接合部係分別藉由一虛晶片(dummy die)與第一晶片及第二晶片相連接，該基板接合部係與該基板之散熱元件設置區相連接。

27. 如申請專利範圍第13項所述之加強散熱型多晶片封裝構造，其中該散熱元件係由一第一晶片接合部、一第二晶片接合部、一基板接合部及一連接部組成，該連接部係用以連接該第一晶片接合部、該第二晶片接合部及該基板接合部，該第一晶片接合部及該第二晶片接合部係分別藉由

六、申請專利範圍

複數個導熱凸塊與第一晶片及第二晶片相連接，該基板接合部係與該基板之散熱元件設置區相連接。

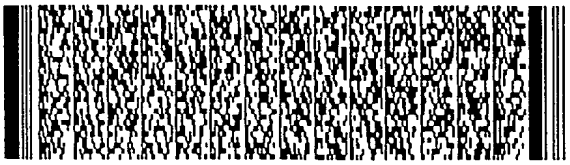
28. 如申請專利範圍第26項所述之加強散熱型多晶片封裝構造，該虛晶片係藉由導熱膠與與第一晶片相連接。

29. 如申請專利範圍第26項所述之加強散熱型多晶片封裝構造，該虛晶片係藉由導熱膠與與第二晶片相連接。

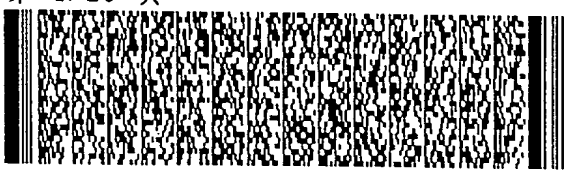
30. 如申請專利範圍第26項所述之加強散熱型多晶片封裝構造，該虛晶片係藉由導熱膠與與散熱元件之第一晶片接合部相連接。

31. 如申請專利範圍第26項所述之加強散熱型多晶片封裝構造，該虛晶片係藉由導熱膠與與散熱元件之第二晶片接合部相連接。

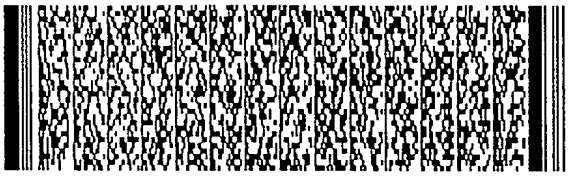
第 1/20 頁



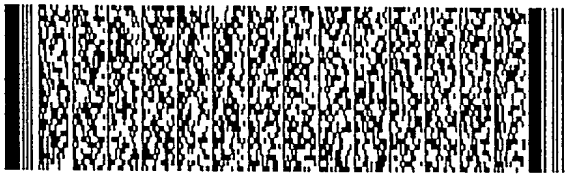
第 1/20 頁



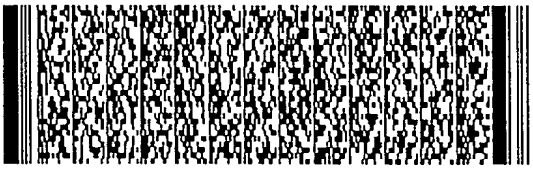
第 2/20 頁



第 2/20 頁



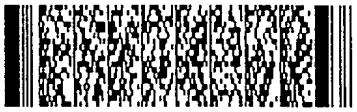
第 3/20 頁



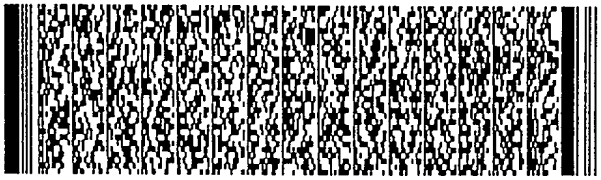
第 4/20 頁



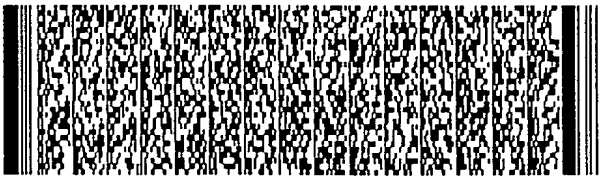
第 5/20 頁



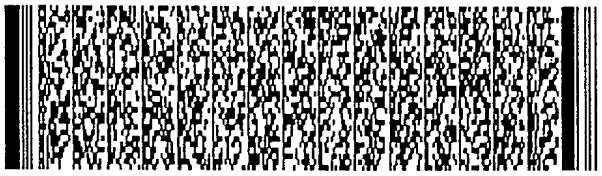
第 6/20 頁



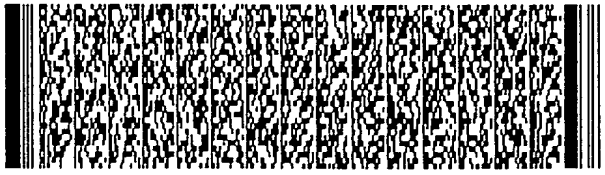
第 6/20 頁



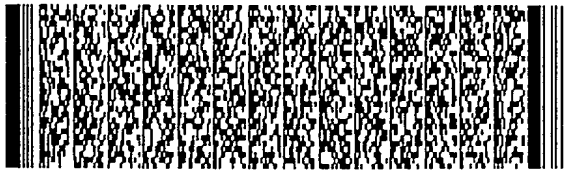
第 7/20 頁



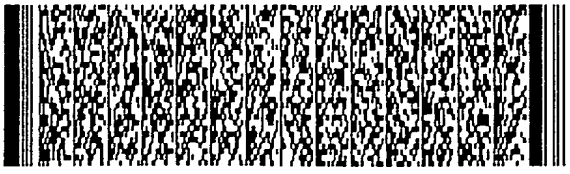
第 7/20 頁



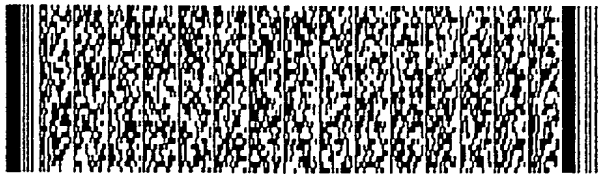
第 8/20 頁



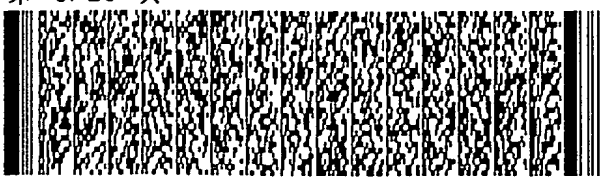
第 8/20 頁



第 9/20 頁



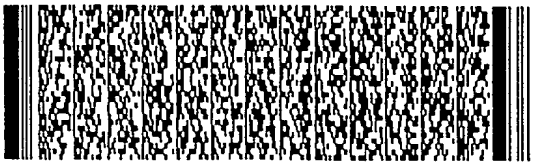
第 9/20 頁



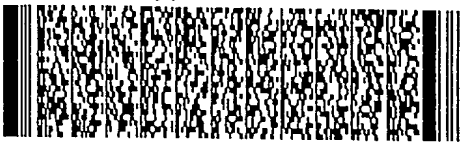
第 10/20 頁



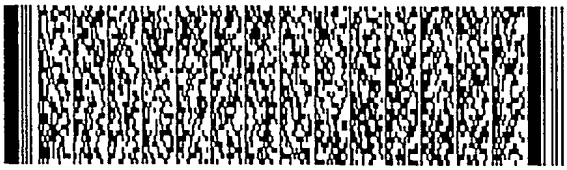
第 10/20 頁



第 11/20 頁



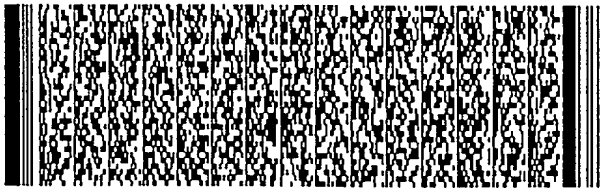
第 12/20 頁



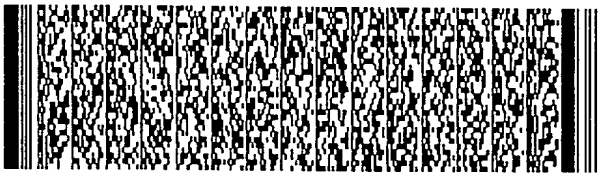
第 13/20 頁



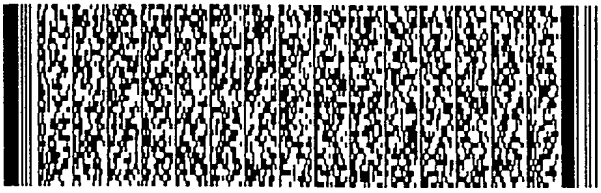
第 14/20 頁



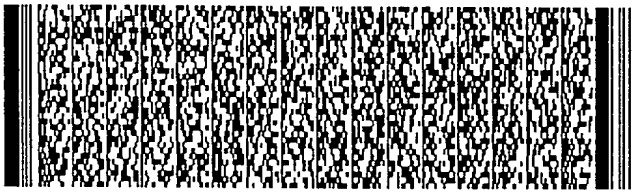
第 15/20 頁



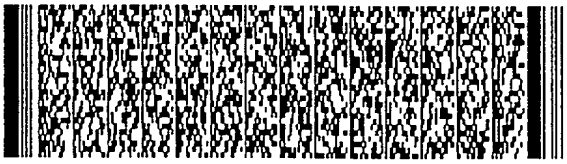
第 16/20 頁



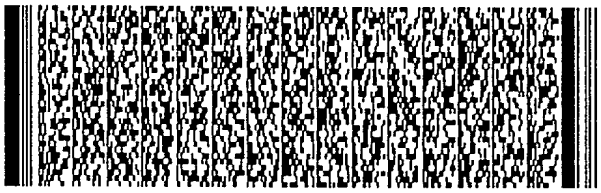
第 17/20 頁



第 18/20 頁



第 19/20 頁



第 20/20 頁



圖式

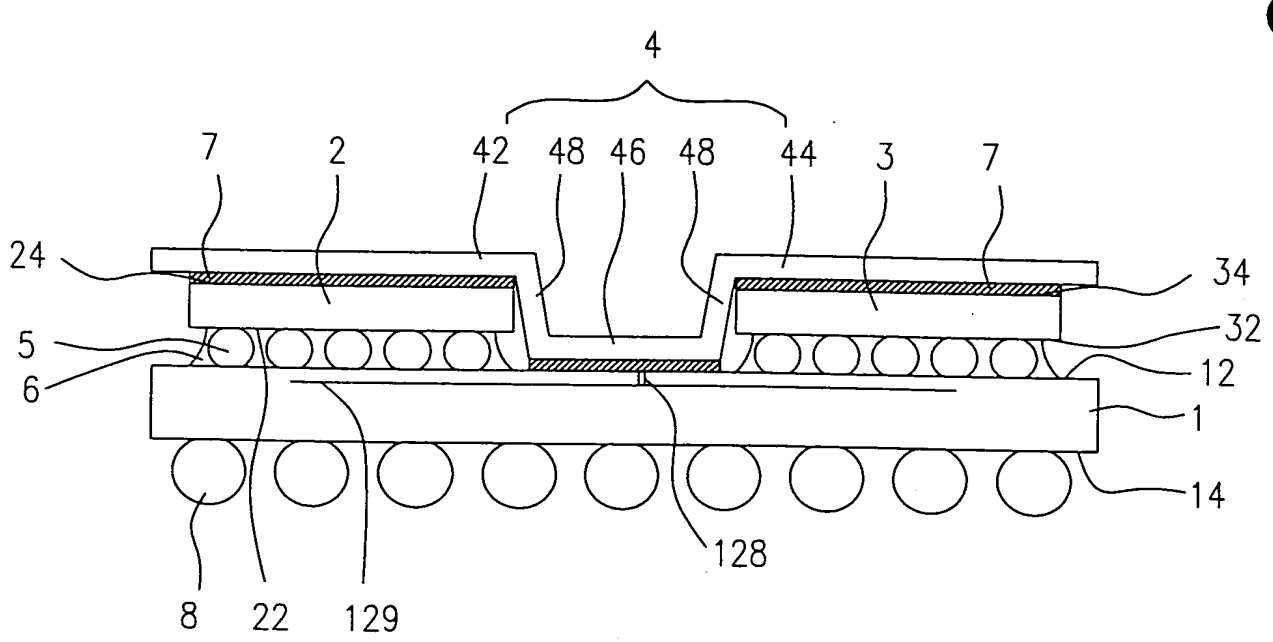


圖 1A

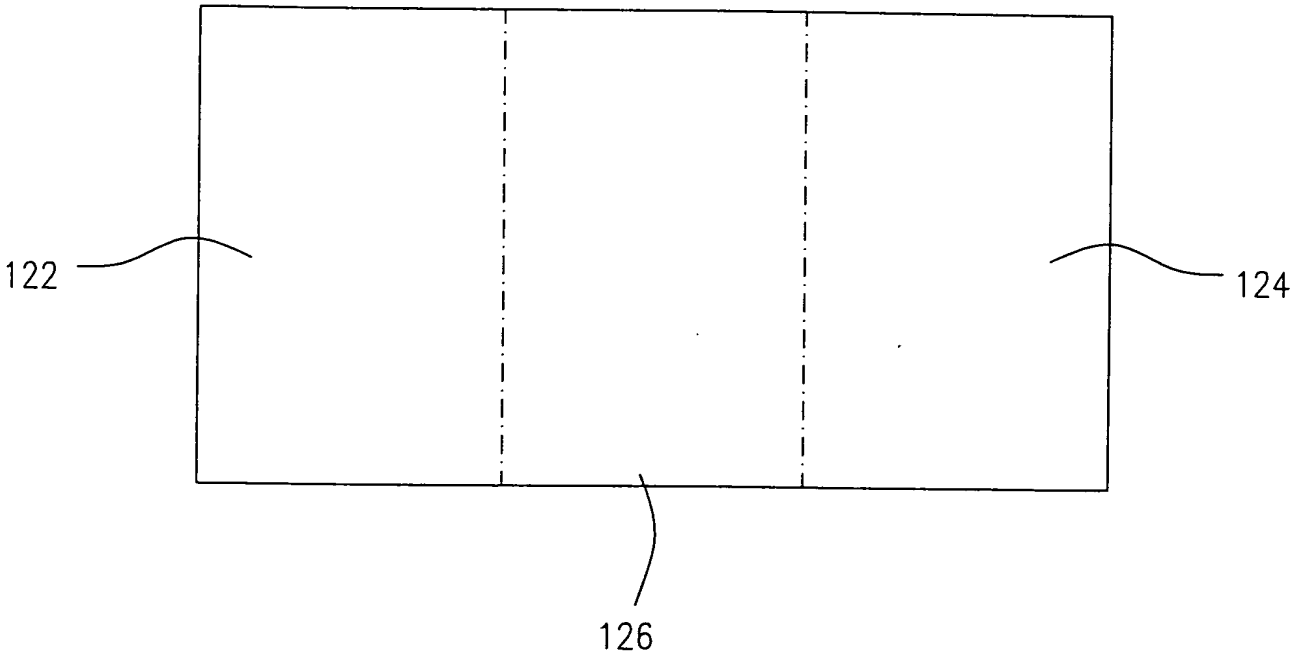


圖 1B

裝 訂 線

圖式

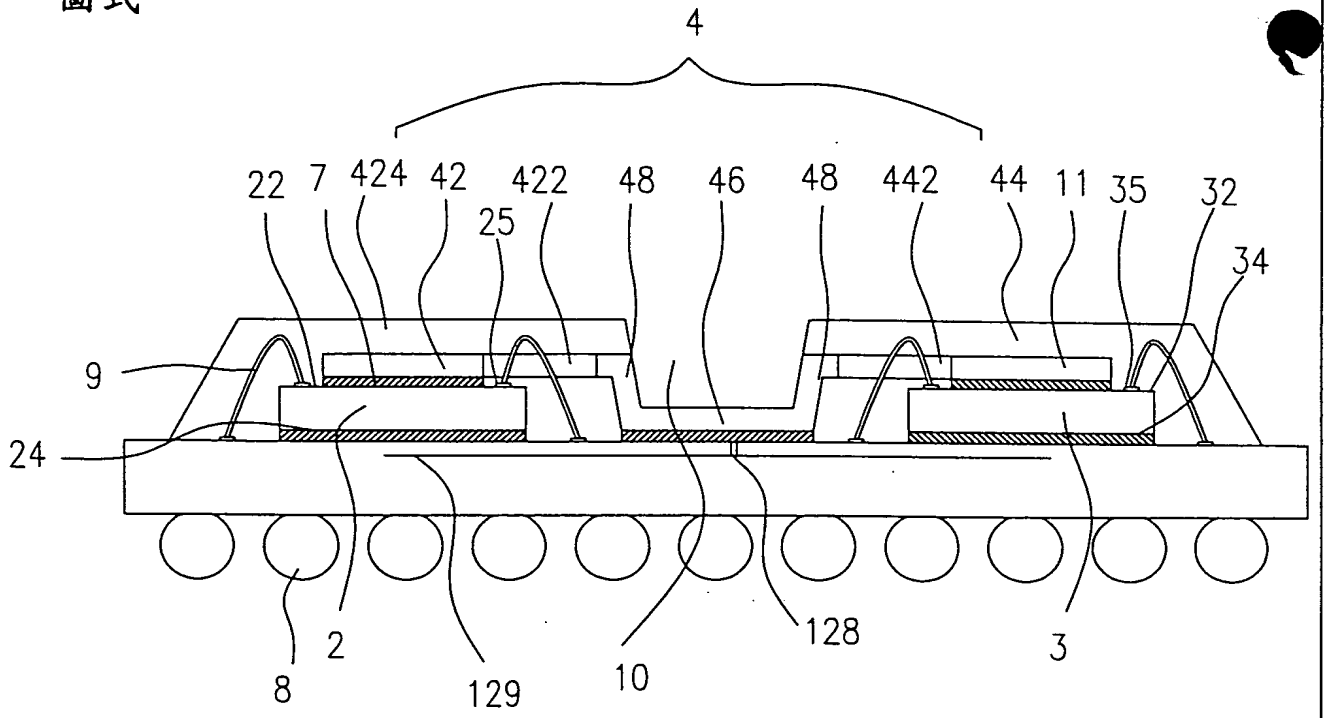

4
22
7
424
42
422
48
46
48
442
44
11
35
32
34
25
9
24
8
2
129
10
128
3

圖 2

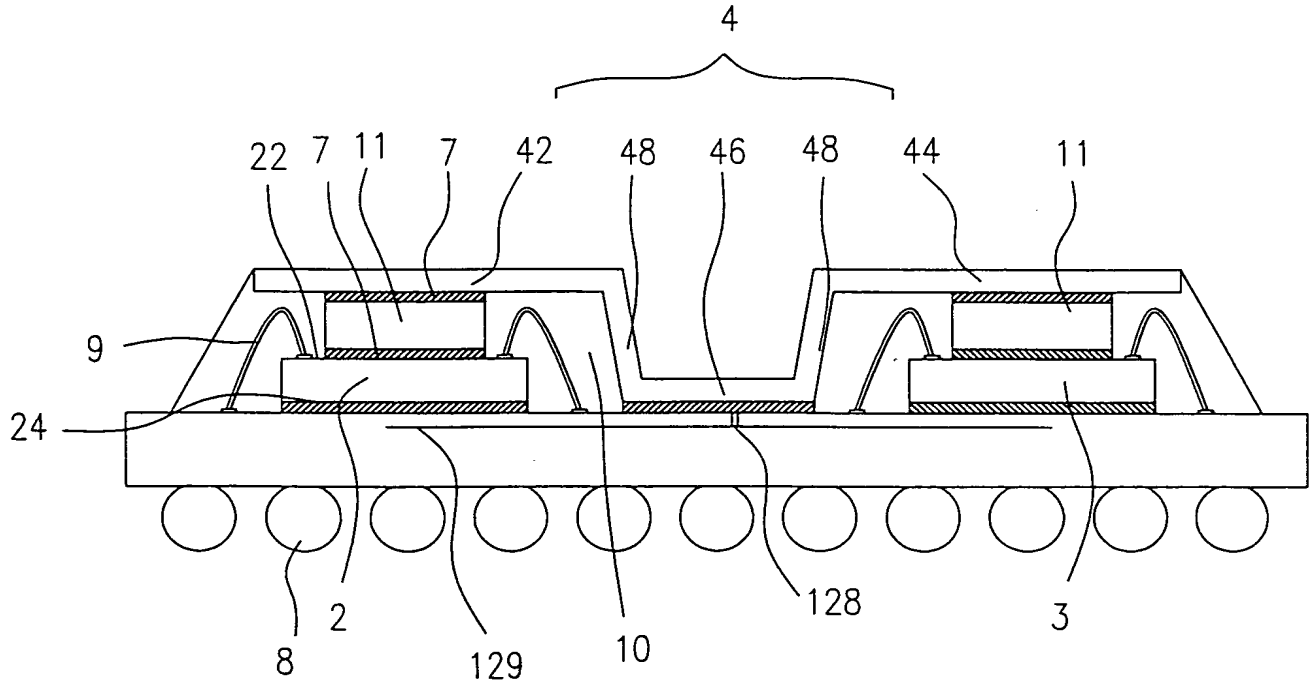

4
22
7
11
7
42
48
46
48
44
11
9
24
8
2
129
10
128
3

圖 3

裝 訂 線

圖式

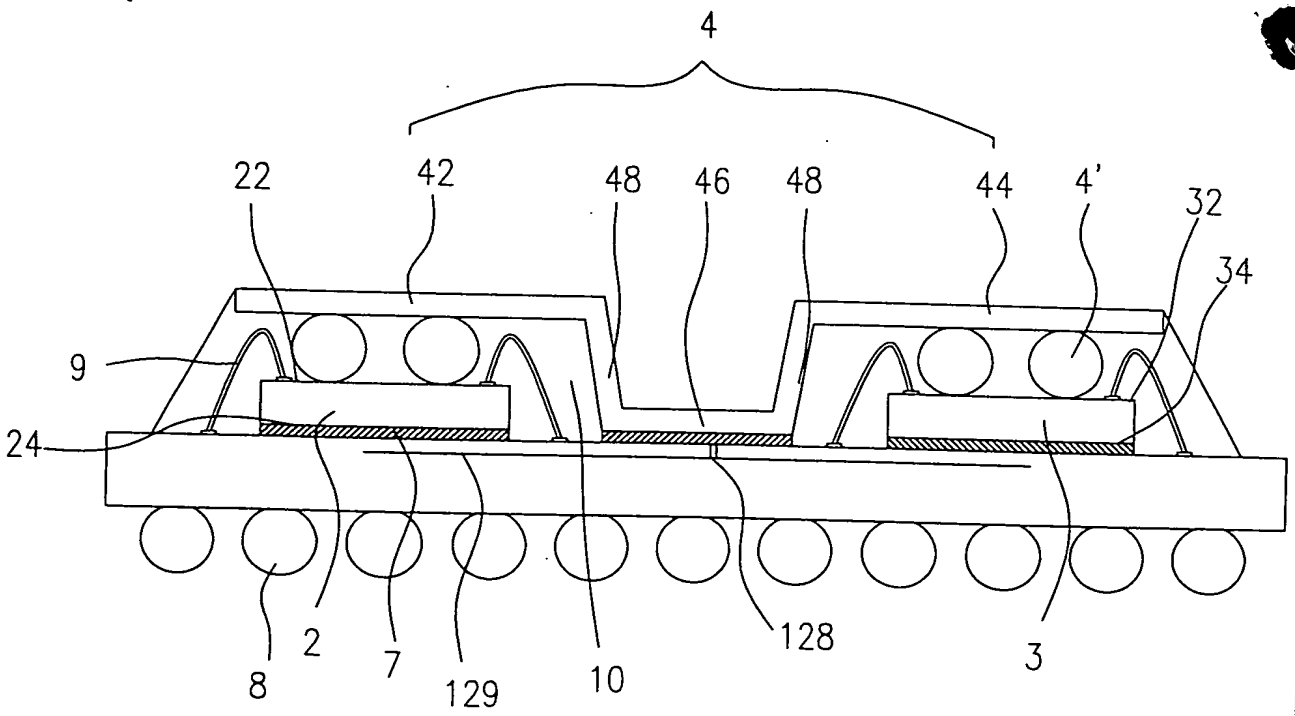

4
22
42
48
46
48
44
4'
32
34
9
24
8
2
7
129
10
128
3

圖 4

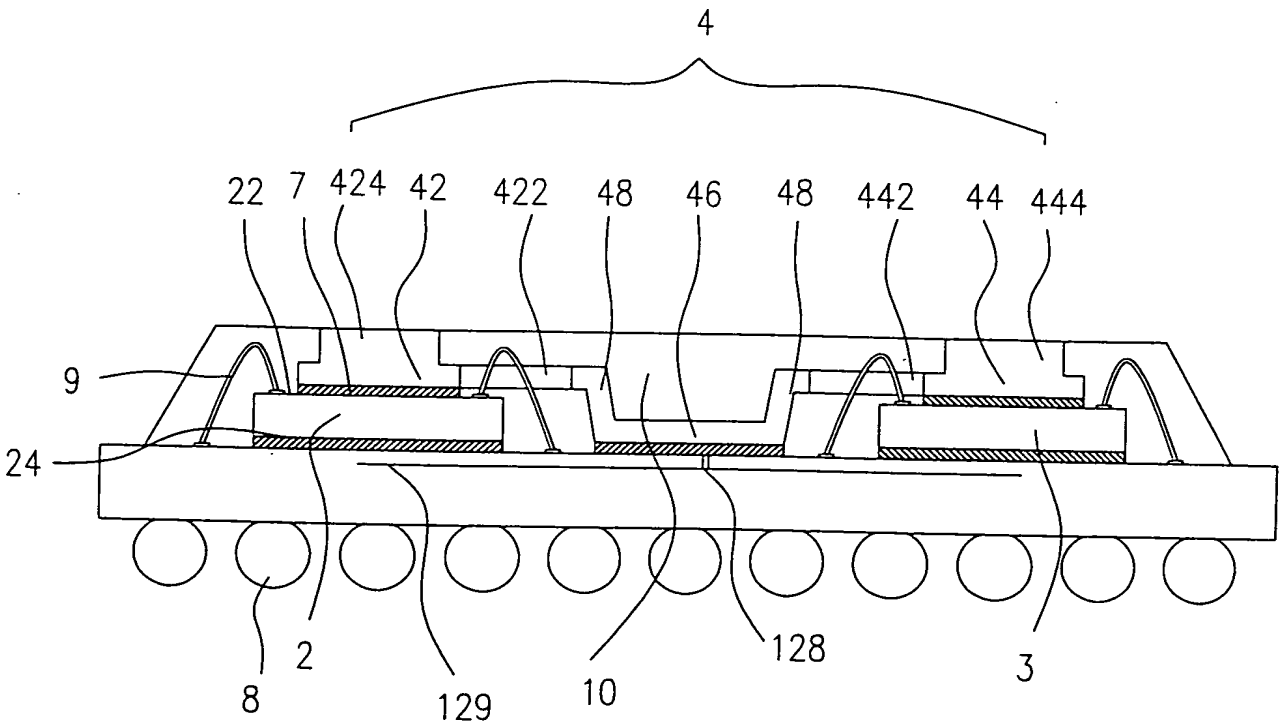

4
22
7
424
42
422
48
46
48
442
44
444
9
24
8
2
129
10
128
3

圖 5

裝 訂 線